

PAT-NO: JP403260872A  
DOCUMENT-IDENTIFIER: JP 03260872 A  
TITLE: LOW-ORDER DEVELOPMENT AUTOMATING SYSTEM  
PUBN-DATE: November 20, 1991

INVENTOR-INFORMATION:

NAME  
KOBAYASHI, KAZUO  
WAKABAYASHI, HARUO  
OKADA, KATSUYUKI  
WAKIMURA, YOSHIAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY	
NIPPON TELEGR & TELEPH CORP <NTT>		N/A

APPL-NO: JP02060740

APPL-DATE: March 12, 1990

INT-CL (IPC): G06F015/60

ABSTRACT:

PURPOSE: To select optimum configuration by describing the designation of functions and the designation of configuration for a logic unit and preparing one of a logic circuit with wiring logic and a logic circuit with a microprogram or a logic circuit mixing those both configuration systems according to the designation of the same function by using those descriptions.

CONSTITUTION: Based on the designation of the functions for the logic unit storing a file, the logic circuit at a logic gate level is prepared by a logic synthesizing program 39, and the microprogram at a bit pattern level is

prepared by a microprogram compiler 38. When preparing the logic circuit at a low-order level from function specification by using a switch to change over the logic synthesizing program 39 and the micorprogram compiler 38 based on the designation of the logic configuration, the logic circuit and the microprogram are prepared while being selected according to the designation of one function. Thus, the optimum logic configuration can be selected.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-260872

⑬ Int. Cl.<sup>3</sup>  
G 06 F 15/00

識別記号 庁内整理番号  
3 6 0 K 7922-5L

⑭ 公開 平成3年(1991)11月20日

審査請求 未請求 請求項の数 1 (全14頁)

⑯ 発明の名称 下位展開自動化方式

⑰ 特 願 平2-60740

⑱ 出 願 平2(1990)3月12日

⑲ 発 明 者 小 林 一 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 発 明 者 若 林 春 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 発 明 者 岡 田 勝 行 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 発 明 者 脇 村 慶 明 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
⑲ 代 理 人 弁理士 磯村 雅俊

要約 要約

1. 発明の名称

下位展開自動化方式

2. 特許請求の範囲

(1) デジタル論理装置の機能仕様から、より下位の論理ゲートレベルの論理回路およびビットパターンレベルのマイクロプログラムを構成要素とする論理回路を作成する下位展開自動化方式において、上記機能仕様として、論理装置の機能と論理構成の指定を組み合わせて入力し、入力された情報をファイルに一時格納しておき、該ファイルに格納された論理装置の機能の指定に基づき、論理合成プログラムにより論理ゲートレベルの論理回路を作成するとともに、該論理装置の機能の指定に基づき、マイクロプログラムコンパイラによりビットパターンレベルのマイクロプログラムを作成し、該ファイルに格納された論理装置の論理構成の指定に基づき、上記論理合成プログラムとマイクロプログラムコンパイラを互いに切り替え

て動作させ、上記機能仕様から下位レベルの論理回路を作成する際に、上記論理構成の指定により、論理回路とマイクロプログラムを選択して作成することを特徴とする下位展開自動化方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、自動設計装置として、デジタル論理装置の機能の指定と構成の指定を記述でき、それらを用いて有線論理の論理回路またはマイクロプログラムの論理回路を作成できる下位展開自動化方式に関するものである。

〔従来の技術〕

従来より、機能仕様を入力とするデジタル論理装置の自動設計装置としては、例えば、『情報処理ハンドブック』(社)情報処理学会、昭和51年12月20日(株)オーム社発行、pp.15-62~15-68に記載されているように、機能仕様を指定して、下位のレベルである論理ゲートレベルの論理回路やビットパターンレベルのマイクロプログラムを構成要素とする論理回路を自動的に作成するもので

あった。

このような自動設計装置としての下位展開自動化装置は、第11図に示すような状態遷移で表わされ、この記述から論理ゲートレベルの論理回路が作成されている。

この状態遷移図では、状態遷移の開始と終了を指定するSTG1、ENDの記述と、論理装置が実行する制御動作(例えば、データ転送動作の制御「A:=B;」、E:=F;」や、他の論理装置の起動を意味する他の状態遷移の起動「=><STG2>」等)を一定の時間単位に区切った状態1、状態2、・・・状態n、状態mの記述と、制御動作の進行を表わす「遷移」と、その制御動作の進行条件を表わす「遷移条件」の記述から構成されている。また、「状態」の記述は、状態の識別名である「状態名」と、状態内で実行される「制御動作」とから構成される。なお、第11図において、状態nから状態1に戻る遷移は、論理装置STG1が繰り返して起動されることを繰り返すための遷移である。また、状態STnの制

御動作である「=><STG2>」は、他の状態遷移STG2を起動することを指定するものである。

第12図は、第11図の記述を下位展開自動化装置内に格納するためのデータ構造図である。

第12図(A)は、1つの記述単位に対応するデータ構造図であって、該当記述文が状態遷移を開始あるいは終了を表わすものか(以下、Tと記す)、または状態の制御動作を表わすものか(以下、Sと記す)を指定する「記述文識別」と該当の「記述文」とから構成されている。

第12図(B)は、上記(A)のデータ構造の一部の詳細図であって、記述文識別がTの場合の「記述文」のデータ構造を示している。すなわち、このデータ構造では、該当する記述文が状態遷移の開始を表わす場合には、状態遷移の真含の固有名称を指定し、該当する記述文が状態遷移の終了を表わす場合には、ENDを指定する「記述文の真性」と、状態遷移の起動条件となる「起動信号」および遷移先の状態名とから構成されている。

第12図(C)は、上記(A)のデータ構造の一部の詳細図であって、記述文識別がSの場合の「記述文」のデータ構造を示している。すなわち、このデータ構造は、状態名、該当する状態の制御動作文および該当する状態から遷移する先を指定する遷移条件と遷移先とから構成されている。

第13図は、第11図の機能仕様から合成される論理ゲートレベルの論理回路群の接続構成を示す記述図である。

この図の論理回路群は、状態ST1、ST2、・・・STn、STmに対応する論理回路ST1、ST2、・・・STn、STmと、遷移条件a、cが真となったときに対応する論理回路STn、STmをONにする論理回路のタイミング回路と、論理回路ST1、ST2、・・・STn、STmがONになるタイミングを与えるクロック信号Q1図とから構成される。

第14図は、従来のデジタル論理装置の自動設計装置のハードウェア構成を示す図である。

この自動設計装置は、第11図に示すような状

態遷移で表わされる機能仕様から、第13図に示すような下位レベルの論理回路を合成する。

第14図において、CPU146は記述入力装置143から入力された機能仕様から、第3図に示す下位の論理ゲートレベルの論理回路群を作成する処理装置である。機能記述格納装置144は、第11図に示すような状態遷移で示された論理回路の機能仕様を、第12図のデータ構造で格納したファイルであり、また論理回路記述格納装置145は、上記機能仕様から合成した下位の論理ゲートレベルの論理回路で構成されるデジタル論理装置の記述を格納したファイルである。主記憶装置140は、CPU146の処理に必要なプログラム、例えば機能記述格納手段144に格納する機能仕様の記述を記述入力装置143から読み込んだり、その機能仕様から合成された論理回路の記述を論理回路記述格納装置145に格納するための論理合成処理プログラム等を格納する。

第15図は、第14図の自動設計装置による下位展開処理の手順を示すフローチャートである。

先ず、(i)読み書きプログラムが起動されることにより、記述入力装置143から機能仕様の記述が入力されると、上記プログラムがこの機能仕様を第12図に示すようなデータ構造に変換し、機能記述格納装置144に格納する(ステップ50)。次に、(ii)論理合成処理プログラムが起動されることにより、機能記述格納装置144から機能記述を取り出し、機能記述中の1つの状態毎に該当する状態に対応する論理回路を1つ配置し、該当する論理回路のセット端子にタイミング回路を接続する。このタイミング回路は、着目する状態への遷移条件毎に、該当する遷移条件に対応する信号と、遷移元の状態に対応する論理回路の出力端子からの信号の論理積をとり、各論理積の出力の論理和をとる回路で構成する(ステップ51)。次に、(iii)未処理の機能記述の有無を判断し、未処理のものがあれば、ステップ51に戻って論理回路を作成するが、未処理のものがなければ、次に進む(ステップ52)。(iv)論理合成処理プログラムは、合成結果を論理回路記述格納装置145

に格納することにより、処理を終了する(ステップ53)。

なお、第15図の処理は、従来の下位展開自動化装置で、機能仕様の記述から論理回路を作成する場合であるが、論理回路の書きにマイクロプログラムを作成する装置の場合には、前記第14図において、論理合成処理プログラムを備えておく。そして、第5図においても、論理回路の書きにマイクロプログラムを作成して(ステップ51)、作成されたマイクロプログラムをファイルに格納する(ステップ53)。

(発明が解決しようとする課題)

前述のように、従来の自動設計装置では、機能仕様の記述手段である下位記述展開プログラムが、論理回路合成用とマイクロプログラム合成用とにそれぞれ分けられていた。その結果、1つの機能仕様から論理回路とマイクロプログラムの両方の論理構成を作成することができず、またそれらについて、処理速度や金物量等を比較して最適な論

理構成を選択することができなかった。

従来の自動設計装置を使用してデジタル論理装置を設計する場合には、第16図に示すように、論理回路合成用とマイクロプログラム合成用の機能仕様をそれぞれ記述して(ステップ161、162)自動設計装置に入力し、それらから論理回路とマイクロプログラムを作成した後(ステップ163、164)、処理速度や金物量等を比較して(ステップ165)、最適な論理構成を選択する必要があった(ステップ166)。

本発明の目的は、このような従来の課題を解決し、布設論理またはマイクロプログラムによる論理回路の性能を短時間に比較して、いずれか一方、または両構成を組合した最適な構成を選択することができる下位展開自動化方式を提供することにある。

(課題を解決するための手段)

上記目的を達成するため、本発明の下位展開自動化方式は、機能仕様として、論理装置の機能と論理構成の指定を組み合わせ入力し、入力され

た情報をファイルに一時格納しておき、ファイルに格納された論理装置の機能の指定に基づき、論理合成プログラムにより論理ゲートレベルの論理回路を作成するとともに、論理装置の機能の指定に基づき、マイクロプログラムコンパイラによりビットパターンレベルのマイクロプログラムを作成し、ファイルに格納された論理装置の論理構成の指定に基づき、論理合成プログラムとマイクロプログラムコンパイラを互いに切り替えて動作させ、機能仕様から下位レベルの論理回路を作成する際に、論理構成の指定により、論理回路とマイクロプログラムを選択して作成することに特徴がある。

(作 用)

本発明においては、デジタル論理装置の機能仕様から論理ゲートレベルの論理回路およびビットパターンレベルのマイクロプログラムを作成する場合、機能仕様として、論理装置の機能と論理構成の指定を組み合わせ入力し、論理合成プログラムにより論理装置の機能の指定から論理ゲー

トレベルの論理回路を作成するとともに、マイクロプログラムコンパイラにより同一の機能の指定からビットパターンレベルのマイクロプログラムを作成し、論理構成の指定に基づき論理合成プログラムとマイクロプログラムコンパイラを切り替えるスイッチを用いて、機能仕様から下位レベルの論理回路を作成する際に、論理構成の指定に基づいて1種類の機能の指定から論理回路とマイクロプログラムを選択して作成する。これにより、該当する機能仕様から下位レベルの論理回路やマイクロプログラムを構成要素とする論理装置を合成する場合に、1つの機能仕様から論理回路とマイクロプログラムの両構成方式の論理構成を作成することができるとともに、それらについて処理速度と全重量を比較することにより、最適な論理構成を選択することが可能である。

# 【実施例】

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の一実施例を示す機能仕様を

『状態』の記述は、状態の識別名である『状態名』と、状態内で実行される『制動動作』とから構成される。しかし、従来と異なる点は、制動動作毎に構成指定が可能となっていることである。構成指定は、具体的には、着目する機能を論理回路の組み合わせで構成する希望論理の指定（以下、記号wで表わす）、マイクロプログラムで構成する指定（以下、記号mで表わす）、および希望論理とマイクロプログラムを混合させて構成する指定（以下、記号xで表わす）のいずれかである。

第1図において、状態名S T 1の状態の制動動作中の[w]、および状態名S T mの状態の制動動作中の[m]は、それぞれ構成指定の例である。

操作メニューウィンドウ11は、上記の状態遷移を機能仕様記述ウィンドウ13上に記述するための各種の操作コマンドを表示したものである。

この操作コマンドには、状態遷移の開始、終了、状態等を表わす図記号（メニュー上の部品1、・・・部品nに相当する）を機能仕様記述ウィンドウ13上に配置する『追加』コマンド、上記の図記

表す状態遷移の入力装置と画面の図である。

入力装置は、ディスプレイ10上の機能仕様記述ウィンドウ13と、操作指示のためのマウス15と、マウス15に運動するカーソル17と、数値情報を入力するキーボード14とから構成される。

機能仕様記述ウィンドウ13は、機能仕様を表わす状態遷移を記述するためのものである。この状態遷移は、従来のものと同じように、状態遷移の『開始』と『終了』を指定する記述と、論理装置が実行する制動動作を一定の時間単位で区切った『状態1、状態2、・・・状態n、状態m』の記述と、制動動作の進行を表わす『遷移』とその制動動作の進行条件を表わす『遷移条件』の記述とから構成される。本実施例では、この他に、従来と異なる要素、つまり着目する状態遷移の論理構成を指定する『構成指定』と、状態遷移を1まとまりの記述単位として扱うための『図面名』等からなる図面管理情報16も、仕様記述の構成要素となっている。なお、従来と同じように、

等を機能仕様記述ウィンドウ13から取り除く『削除』コマンド、記号した状態遷移を機能仕様格納装置（ファイル）に格納する『書き込み』コマンド、および操作対象の図記号を指定する部品1、・・・部品nから構成される。操作メニューを使用して操作を行う際には、マウス15に運動したカーソル17が使用される。例えば、カーソル17で『追加』コマンドのメニュー位置を指示した後、『部品1』のメニュー位置を指示し、最後に機能仕様記述ウィンドウ13上の任意の位置を指示することにより、部品1に対応する図記号が機能仕様記述ウィンドウ13上に配置される。制動動作等のテキストで記号されるものは、キーボードを使用することにより入力できる。

第2図は、第1図の状態遷移を機能仕様格納装置に格納するためのデータ構造を示す図である。

本発明のデータ構造は、第2図(A)に示すように、従来のデータ構造と比較すると、図面名で指定される状態遷移を1まとまりとして扱うデータ構造を新たに設けている。すなわち、本発明のデ

ータ構造は、1まとまりの状態遷移の論理構成を指定する『構成指定』と、この状態遷移の識別名である『図面名』と、複数の『記述要素』とから構成される。第2図(B)は、1つの記述要素の詳細を示している。これは従来と同じ記述文識別と、従来とは異なって、制断動作毎に論理構成を指定した記述文とから構成されている。

第2図(C)は、記述文識別がTの場合の記述文の詳細を示したものである。これは、従来と同じである。第2図(D)は、記述文識別がSの場合の記述文の詳細を示したものである。この記述文は、状態名と複数の動作の指定と複数の遷移の指定とから構成される。動作の指定は、1つの制断動作とそれを実現するための論理構成の指定とから構成される。

第3図は、本発明の一実施例を示すデジタル論理装置の自動設計装置のハードウェア構成図である。

この自動設計装置は、第2図に示すようなデータ構造の状態遷移で表わされた機能仕様から、第

ら合成された下位レベルの論理ゲートレベルの論理回路またはビットパターンレベルのマイクロプログラムの記述を論理レベル記述格納装置33に格納したりする読み書きプログラム36、その機能仕様から論理ゲートレベルの論理回路を合成する論理合成処理プログラム39、ビットパターンレベルのマイクロプログラムを合成するマイクロプログラムコンパイラ38、および機能仕様の一部として記述される構成指定に従って論理合成処理プログラム39とマイクロプログラムコンパイラ38のどちらかを使用するかを制断する合成制断プログラム37等を格納している。

第4図は、本発明における合成制断プログラムの機能ブロック図である。

本発明の特徴的なプログラムである合成制断プログラムは、与えられた機能仕様の記述のうちの構成指定を参照して、記述を右論理指定のものとしてマイクロプログラム指定のものに分ける記述分解部41と、上記で分解された記述単位に論理合成処理プログラム39とマイクロプログラムコ

ンパイラ38を起動して、下位レベルの論理回路を構成要素とする論理回路、またはビットパターンレベルのマイクロプログラムを構成要素とする論理回路を合成する。

第3図において、機能記述格納装置31は、第2図に示すようなデータ構造の状態遷移で表わされた論理装置の機能仕様を格納したファイルであり、論理レベル記述格納装置33は、上記の機能仕様から合成した下位レベルの論理ゲートレベルの論理回路またはビットパターンレベルのマイクロプログラムで構成されるデジタル論理装置の記述を格納したファイルである。また、記述入力装置34は、第1図に示す機能仕様記述ウィンドウ13と操作メニューウィンドウ11を持つディスプレイ10とキーボード14およびマウス15とから構成され、上記の記述仕様を記述するためのものである。また、主記憶装置35は、CPU30の処理に必要なプログラム、例えば、機能記述格納装置31に格納する機能仕様の記述を記述入力装置34から読み込んだり、その機能仕様か

ンパイラ38を起動して、下位レベルの論理回路を作成する合成起動部42と、右論理とマイクロプログラムより構成される論理回路間の接続を行って、論理回路を完成させる記述統合部43と、これら3つの処理部41~43の実行を制断する実行制断部44とから構成される。

第5図は、第4図における実行制断部の処理手順を示すフローチャートである。

先ず、(I)実行制断部44は、記述分解部41を動作させて次の処理を行う。すなわち、機能記述格納装置31に格納されている状態遷移を図面名単位に構成指定が $m$ 、 $w$ 、 $x$ のものに分類し、その中で構成指定が $x$ のものは、さらに制断動作単位に構成指定が $m$ 、 $w$ のものに分類して、構成指定毎の記述の集合を作成する(ステップ110)。(II)実行制断部44は、合成起動部42を起動して次の処理を行う。すなわち、上記の手順で分類された記述の集合に対して、論理回路とマイクロプログラムを比較していずれか一方を選択する処理を行う。つまり、構成指定が $w$ のものに対して

は、論理合成処理プログラム39を用いて論理ゲートレベルの論理回路を作成する。また、構成指定が③のものに対しては、マイクロプログラムコンパイラ38を用いてビットパターンレベルのマイクロプログラムを作成する。これらの作成結果は、中間情報格納装置32に格納される(ステップ111)。次に、(山)実行制御部44は、記述統合部43を起動させることにより、次の処理を行う。すなわち、布線論理で構成される論理回路とマイクロプログラムで構成される論理回路との間の信号線を接続し、論理回路を完成させて論理レベル格納装置33に格納する(ステップ112)。

以下、ステップ110の記述分解部41の詳細動作フローを第6図に、またステップ111の合成部42のデータ構造図を第7図に、またステップ112の記述統合部43の詳細動作フローを第8図に、それぞれ示す。

第6図は、第4図における記述分解部の処理フローチャートである。

先ず(1)状態遷移の集合から図面単位に1まと

り除く(ステップ126)。また、(4)第2の状態遷移に対しては、各状態毎に制御動作に対する構成指定を判定し、w指定のものがあれば、該当の状態から動作の指定を取り除き、ステップ123の処理を行う。

第7図は、中間情報格納装置に格納される論理回路のデータ構造図である。

第7図(A)は、構成指定がwの機能仕組から作成される論理回路のデータ構造図である。これは、機能仕組の識別名である「図面名」と、「構成指定」および信号が入力される側の論理回路を意味する「デスティネーション要素」と信号を出力する側の論理回路を表す「ソース要素」の対を指定する複数ネットから構成される。

第7図(B)は、構成指定がmの機能仕組から作成される論理回路のデータ構造図である。これは、機能仕組の識別名である「図面名」と、「構成指定」および複数のネットから構成される。また、上記の構成指定wと異なつて、各ネットでは、「デスティネーション要素」と「ソース要素」の

まりの状態遷移を取り出す(ステップ120)。

(山)取り出された状態遷移の構成指定を判定し、それがwであるときはステップ122に、それがmであるときはステップ124に、またそれがxであるときはステップ125に、それぞれ分類する(ステップ121)。

次に、(山)取り出された状態遷移を、布線論理の論理構成で作成するために登録する(ステップ122)。次に、(w)未処理の状態遷移の集合の有無を判定し、未処理のものがあれば、ステップ120に戻つて同じ処理を繰り返す(ステップ123)。また、(v)取り出された状態遷移をマイクロプログラムの論理構成で作成するために登録し、ステップ123の処理を行う。

(4)取り出された状態遷移と同一の記述を1つ作成し、元の状態遷移を第1の状態遷移、複写された状態遷移を第2の状態遷移とする(ステップ125)。(4)第1の状態遷移に対しては、各状態毎に制御動作に対する構成指定を判定し、w指定のものがあれば、該当の状態から動作の指定を取

対の他に、この対の信号接続を制御するマイクロプログラムの制御信号が追加されている。

第8図は、第6図における第1の状態遷移と第2の状態遷移の処理において、各状態毎の構成指定を判断して2つの状態遷移に分離する態様を示す図である。

第8図(A)は、構成指定にxが指定された図面各単位の状態遷移である。この図では、制御動作にwが指定された状態を白色の矩形で、またmが指定された状態を斜線の矩形で、それぞれ表わしている。第8図(B)は、第8図(A)から作成された第2の状態遷移において、各状態毎に制御動作に対する構成指定を判定し、m指定の制御動作の動作指定を取り除いた結果を表わしている。

第8図(C)は、第8図(A)に示す状態遷移において、各状態毎に制御動作に対する構成指定を判定し、w指定の制御動作の動作指定を取り除いた結果を表わしている。すなわち、そこだけは無効動作にしている。

なお、第8図の複数個の矩形は、第1図で示し



た状態遷移図の各状態を渡すものである。第8図(C)の破線の矩形は、m指定の状態を取り除き、wに置換される状態を示している。ここで、m指定とw指定が混在した状態遷移から、m指定のみの状態遷移とw指定のみの状態遷移とに分離するのは、それぞれの状態遷移から1つの制動回路(w指定の状態遷移から作成される)と1つのマイクロプログラム(m指定の状態遷移から作成される)を作成するためである。第8図中において、『置換される状態』とは、元の状態における制動動作を無効動作(制動動作を行わないことを指定するもの)に置き換えた状態である。

第9図は、第4図における記述統合部の処理手順を示すフローチャートである。

先ず、(i)中間情報格納装置32内に、布線論理で構成された論理回路と、マイクロプログラムで構成された論理回路とが、両者共に格納されているかを判定し、いずれか一方のみが格納されているときには、処理を終了する(ステップ150)。(ii)両者共に格納されているときには、

両者のデータ構造を探索して、全てのデスティネーション資源に対して、ソース資源と制動信号とを対応付けたデスティネーション資源・ソース資源対応のリスト(第10図参照)を作成する(ステップ151)。(iii)リストを探索することにより、同一デスティネーションであり、かつ構成指定wの機能仕様から作成されたソース資源と構成指定mの機能仕様から作成されたソース資源とを対応付けられているものがあるかを判定し、なければ処理を終了する(ステップ152)。(iv)同一デスティネーションのものがあるならば、両者のソース資源の出力信号の論理和をとり、その結果を導出するデスティネーション資源の入力端子に接続する(ステップ153)。(v)リスト中に未処理のものがあるかを判定し、あれば、ステップ152に戻って同一デスティネーションの有無判定処理を行い、なければ、処理を終了する(ステップ154)。

第10図は、第4図における記述統合部の処理を示す図であって、第10図(A)は、デスティネ

ーション資源・ソース資源対応リストの内容を示す図、第10図(B)は元の論理構成の接続図、第10図(C)は修正された論理構成の接続図である。

第10図(A)において、デスティネーション資源DES1は、構成指定wの機能仕様から作成されたソース資源SRC10、SRC12と構成指定mの機能仕様から作成されたソース資源SRC11(制動信号はCTL1)が対応付けられている。また、デスティネーション資源DES2は、構成指定mの機能仕様から作成されたソース資源SRC20(制動信号CTL2)が対応付けられている。また、デスティネーション資源DES3は、構成指定wの機能仕様から作成されたソース資源SRC30が対応付けられている。

第10図(B)は、第10図(A)のデスティネーション資源DES1に対する元の論理構成を示しており、DES1は構成指定wの機能仕様からソース資源SRC10、SRC12と論理回路とを介して接続される。一方、同じDES1が、構成指定mの機能仕様からソース資源SRC11の出

力端子と制動信号CTL1に論理回路を介して接続される。

第10図(C)は、第10図(B)の接続図を第9図のステップ153の処理で修正して、統合した論理構成図である。同一デスティネーション資源に対して統合するために、両構成方式のソース資源をDES1の入力端子の手前で、論理回路を介してDES1に接続する。

このように、本実施例においては、機能仕様から下位レベルの論理回路やマイクロプログラムを構成要素とする論理装置を合成する場合に、1つの機能仕様から論理回路とマイクロプログラムの両構成方式の論理構成を作成するので、それらについて、処理速度や金物量を比較して、最適な論理構成を選択することが可能である。

(発明の効果)

以上説明したように、本発明によれば、デジタル論理装置の機能仕様として、論理装置の機能の指定と構成の指定を記述することができ、それらを用いて同一の機能の指定から布線論理による

論理回路とマイクロプログラムによる論理回路のいずれか一方が、または両構成方式を混在した論理回路を作成することができるので、両構成方式の論理回路の性能を短時間で比較することにより、最適な構成を選択することが可能である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す機能仕様の状態遷移入力装置の図、第2図は第1図の状態遷移を機能記述格納装置に格納するためのデータ構造図、第3図は本発明の一実施例を示すデジタル論理装置の自動設計装置のハードウェア構成図、第4図は第3図における合成制御プログラムの機能ブロック図、第5図は第4図における合成制御プログラムの実行制御部の処理手順を示すフローチャート、第6図は同じく合成制御プログラムの記述分解部の手順を示すフローチャート、第7図は本発明の中間情報格納装置に格納される論理回路のデータ構造図、第8図は第4図における合成制御プログラムの記述分解部で状態対応の構成指定を判断して、2つの状態遷移に分類する手順を

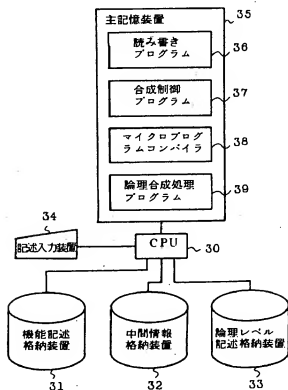
示す図、第9図は第4図における合成制御プログラムの記述統合部の処理手順を示すフローチャート、第10図は第4図における記述統合部の処理の一例を示す図、第11図は従来の機能仕様を状態遷移で記述する例を示す図、第12図は第11図の記述を下位展開自動化装置内に格納する従来のデータ構造図、第13図は第11図の機能仕様から合成される論理回路群の接続構成を示す図、第14図は従来のデジタル論理装置の自動設計装置のハードウェア構成図、第15図は第14図の自動設計装置でデジタル論理装置を設計する手順を示すフローチャート、第16図は従来の自動設計装置を用いてデジタル論理装置を設計する手順を示すフローチャートである。

10：ディスプレイ、11：操作メニューウィンドウ、13：機能仕様記述ウィンドウ、14：キーボード、15：マウス、16：図面管理情報、17：カーソル、30：CPU、31：機能記述格納装置、32：中間情報格納装置、33：論理レベル記述格納装置、34：記述入力装置、35：

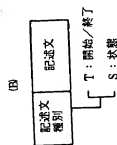
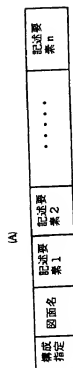
主記憶装置、36：読み書きプログラム、37：合成制御プログラム、38：マイクロプログラムコンパイラ、39：論理合成処理プログラム、41：記述分解部、42：合成起動部、43：記述統合部、44：実行制御部。

代理人 弁理士 堀村 隆 啓

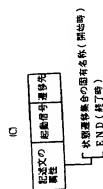
第 3 図



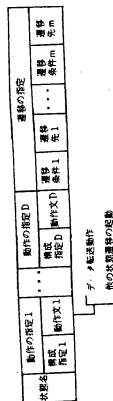
第 2 図 (その1)



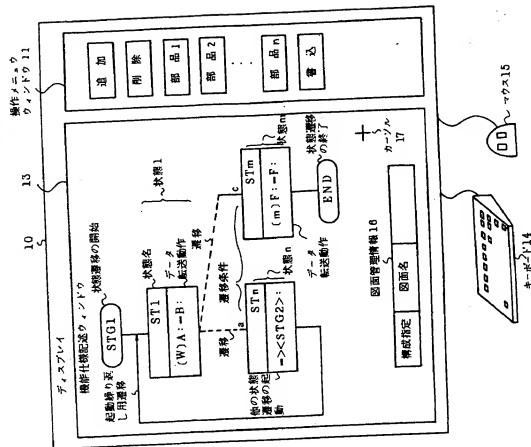
第 2 図 (その2)



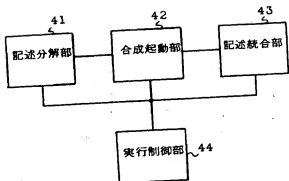
(D)



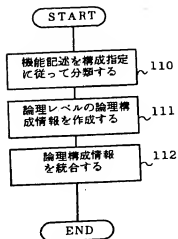
第 1 図



第 4 図



第 5 図



第 6 図

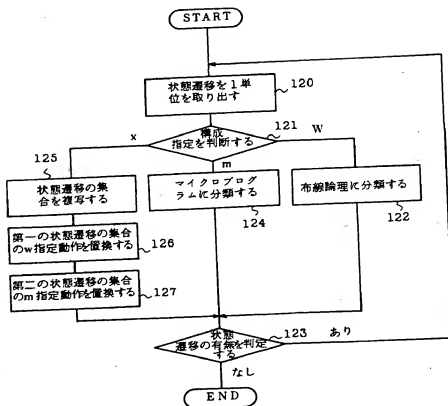
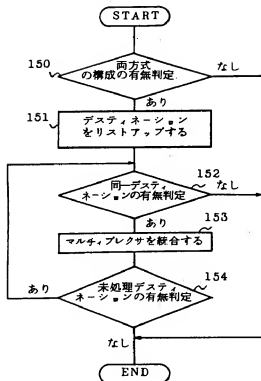


図 7 (A)

開始番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335	336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351	352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367	368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383	384	385	386	387	388	389	390	391	392	393	394	395	396	397	398	399	400	401	402	403	404	405	406	407	408	409	410	411	412	413	414	415	416	417	418	419	420	421	422	423	424	425	426	427	428	429	430	431	432	433	434	435	436	437	438	439	440	441	442	443	444	445	446	447	448	449	450	451	452	453	454	455	456	457	458	459	460	461	462	463	464	465	466	467	468	469	470	471	472	473	474	475	476	477	478	479	480	481	482	483	484	485	486	487	488	489	490	491	492	493	494	495	496	497	498	499	500	501	502	503	504	505	506	507	508	509	510	511	512	513	514	515	516	517	518	519	520	521	522	523	524	525	526	527	528	529	530	531	532	533	534	535	536	537	538	539	540	541	542	543	544	545	546	547	548	549	550	551	552	553	554	555	556	557	558	559	560	561	562	563	564	565	566	567	568	569	570	571	572	573	574	575	576	577	578	579	580	581	582	583	584	585	586	587	588	589	590	591	592	593	594	595	596	597	598	599	600	601	602	603	604	605	606	607	608	609	610	611	612	613	614	615	616	617	618	619	620	621	622	623	624	625	626	627	628	629	630	631	632	633	634	635	636	637	638	639	640	641	642	643	644	645	646	647	648	649	650	651	652	653	654	655	656	657	658	659	660	661	662	663	664	665	666	667	668	669	670	671	672	673	674	675	676	677	678	679	680	681	682	683	684	685	686	687	688	689	690	691	692	693	694	695	696	697	698	699	700	701	702	703	704	705	706	707	708	709	710	711	712	713	714	715	716	717	718	719	720	721	722	723	724	725	726	727	728	729	730	731	732	733	734	735	736	737	738	739	740	741	742	743	744	745	746	747	748	749	750	751	752	753	754	755	756	757	758	759	760	761	762	763	764	765	766	767	768	769	770	771	772	773	774	775	776	777	778	779	780	781	782	783	784	785	786	787	788	789	790	791	792	793	794	795	796	797	798	799	800	801	802	803	804	805	806	807	808	809	810	811	812	813	814	815	816	817	818	819	820	821	822	823	824	825	826	827	828	829	830	831	832	833	834	835	836	837	838	839	840	841	842	843	844	845	846	847	848	849	850	851	852	853	854	855	856	857	858	859	860	861	862	863	864	865	866	867	868	869	870	871	872	873	874	875	876	877	878	879	880	881	882	883	884	885	886	887	888	889	890	891	892	893	894	895	896	897	898	899	900	901	902	903	904	905	906	907	908	909	910	911	912	913	914	915	916	917	918	919	920	921	922	923	924	925	926	927	928	929	930	931	932	933	934	935	936	937	938	939	940	941	942	943	944	945	946	947	948	949	950	951	952	953	954	955	956	957	958	959	960	961	962	963	964	965	966	967	968	969	970	971	972	973	974	975	976	977	978	979	980	981	982	983	984	985	986	987	988	989	990	991	992	993	994	995	996	997	998	999	1000	1001	1002	1003	1004	1005	1006	1007	1008	1009	1010	1011	1012	1013	1014	1015	1016	1017	1018	1019	1020	1021	1022	1023	1024	1025	1026	1027	1028	1029	1030	1031	1032	1033	1034	1035	1036	1037	1038	1039	1040	1041	1042	1043	1044	1045	1046	1047	1048	1049	1050	1051	1052	1053	1054	1055	1056	1057	1058	1059	1060	1061	1062	1063	1064	1065	1066	1067	1068	1069	1070	1071	1072	1073	1074	1075	1076	1077	1078	1079	1080	1081	1082	1083	1084	1085	1086	1087	1088	1089	1090	1091	1092	1093	1094	1095	1096	1097	1098	1099	1100	1101	1102	1103	1104	1105	1106	1107	1108	1109	1110	1111	1112	1113	1114	1115	1116	1117	1118	1119	1120	1121	1122	1123	1124	1125	1126	1127	1128	1129	1130	1131	1132	1133	1134	1135	1136	1137	1138	1139	1140	1141	1142	1143	1144	1145	1146	1147	1148	1149	1150	1151	1152	1153	1154	1155	1156	1157	1158	1159	1160	1161	1162	1163	1164	1165	1166	1167	1168	1169	1170	1171	1172	1173	1174	1175	1176	1177	1178	1179	1180	1181	1182	1183	1184	1185	1186	1187	1188	1189	1190	1191	1192	1193	1194	1195	1196	1197	1198	1199	1200	1201	1202	1203	1204	1205	1206	1207	1208	1209	1210	1211	1212	1213	1214	1215	1216	1217	1218	1219	1220	1221	1222	1223	1224	1225	1226	1227	1228	1229	1230	1231	1232	1233	1234	1235	1236	1237	1238	1239	1240	1241	1242	1243	1244	1245	1246	1247	1248	1249	1250	1251	1252	1253	1254	1255	1256	1257	1258	1259	1260	1261	1262	1263	1264	1265	1266	1267	1268	1269	1270	1271	1272	1273	1274	1275	1276	1277	1278	1279	1280	1281	1282	1283	1284	1285	1286	1287	1288	1289	1290	1291	1292	1293	1294	1295	1296	1297	1298	1299	1300	1301	1302	1303	1304	1305	1306	1307	1308	1309	1310	1311	1312	1313	1314	1315	1316	1317	1318	1319	1320	1321	1322	1323	1324	1325	1326	1327	1328	1329	1330	1331	1332	1333	1334	1335	1336	1337	1338	1339	1340	1341	1342	1343	1344	1345	1346	1347	1348	1349	1350	1351	1352	1353	1354	1355	1356	1357	1358	1359	1360	1361	1362	1363	1364	1365	1366	1367	1368	1369	1370	1371	1372	1373	1374	1375	1376	1377	1378	1379	1380	1381	1382	1383	1384	1385	1386	1387	1388	1389	1390	1391	1392	1393	1394	1395	1396	1397	1398	1399	1400	1401	1402	1403	1404	1405	1406	1407	1408	1409	1410	1411	1412	1413	1414	1415	1416	1417	1418	1419	1420	1421	1422	1423	1424	1425	1426	1427	1428	1429	1430	1431	1432	1433	1434	1435	1436	1437	1438	1439	1440	1441	1442	1443	1444	1445	1446	1447	1448	1449	1450	1451	1452	1453	1454	1455	1456	1457	1458	1459	1460	1461	1462	1463	1464	1465	1466	1467	1468	1469	1470	1471	1472	1473	1474	1475	1476	1477	1478	1479	1480	1481	1482	1483	1484	1
------	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	---

第 9 図



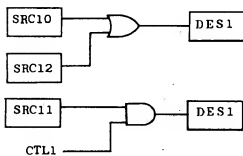
第 10 図 (その1)

(A)

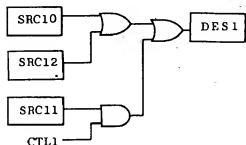
デスティネーション資源	ソース資源	制御信号
DES1	SRC10, SRC12 (w)	
	SRC11 (w)	CTL1
DES2	SRC20 (w)	CTL2
DES3	SRC30 (w)	

第 10 図 (その2)

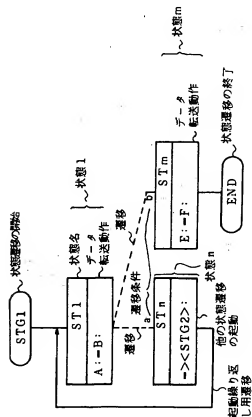
(B)



(C)

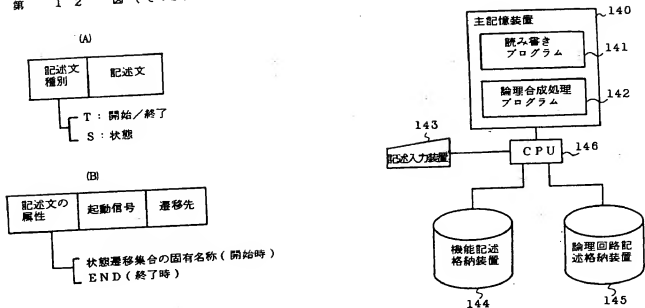


第 11 図

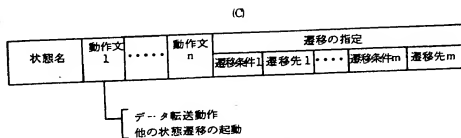


第 1 4 図

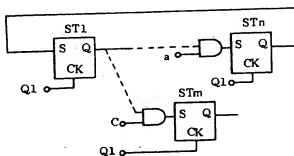
第 1 2 図 (その1)



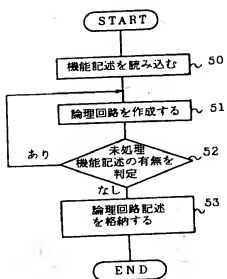
第 1 2 図 (その2)



第 1 3 図



第 1 5 図



第 1 6 図

